

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-132837

(43)公開日 平成6年(1994)5月13日

(51) Int.Cl.⁵

H 0 4 B 1/10

識別記号 庁内整理番号

A 9298-5 K

FI

技術表示箇所

審査請求 未請求 請求項の数 3 (全 9 頁)

(21)出願番号 特願平4-306457

(22)出願日 平成4年(1992)10月20日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 松下 満次

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 發明者 齋藤 哲也

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72)發明者 遠藤 欽也

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

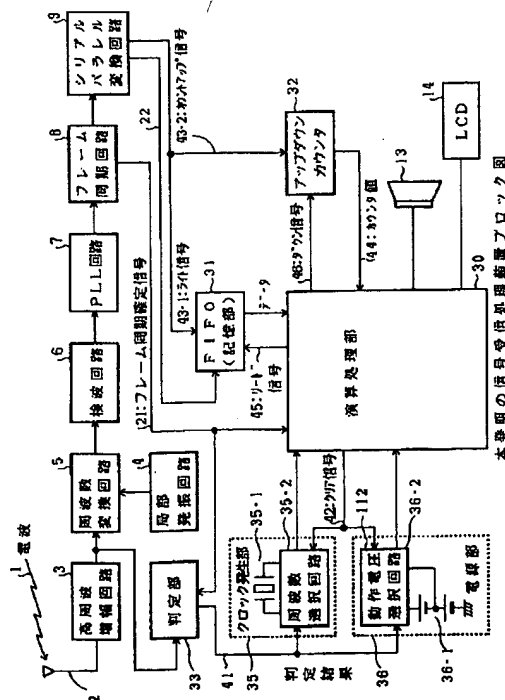
(74)代理人 弁理士 佐藤 幸男

(54)【発明の名称】 信号受信処理装置

(57) 【要約】

【目的】 演算処理部の発生する高周波ノイズの影響を十分に考慮して、効率的に入力信号処理を実行する。

【構成】 受信電波の強度が強い場合、クロック発生部 35 は、クロック周波数を高くし、電源部 36 は出力電圧を高める。信号強度が強いと、高周波ノイズの影響を受け難いので、高い処理速度で演算処理を実行させる。一方、受信電波の強度が弱い場合、クロック周波数を低下させて電源の出力電圧も低くし、高周波ノイズのレベルを十分低く抑える。このとき演算処理部 30 の処理速度が低下するので、入力信号を一旦記憶部に蓄積し、処理速度低下を補償する。



1

【特許請求の範囲】

【請求項1】 受信電波の強度を検出してそのレベルを判定する判定部と、

前記受信電波から得られたデータを処理する演算処理部と、

この演算処理部に対し2種以上の出力電圧のうちいずれかを選択して駆動用電力を供給する電源部と、

前記受信電波から得られた信号を、前記演算処理部が処理する前に一時蓄積する記憶部とを備え、

前記電源部は、

前記判定部により、前記受信電波の強度が強いと判定されたときは、高い出力電圧を選択し、前記受信電波の強度が弱いと判定されたときは、低い出力電圧を選択することを特徴とする信号受信処理装置。

【請求項2】 受信電波の強度を検出してそのレベルを判定する判定部と、

前記受信電波から得られたデータを処理する演算処理部と、

この演算処理部に対し2種以上の周波数の動作クロックのうち何れかを選択して供給するクロック発生部と、

前記受信電波から得られた信号を、前記演算処理部が処理する前に一時蓄積する記憶部とを備え、

前記クロック発生部は、

前記判定部により、前記受信電波の強度が強いと判定されたときは、高いクロック周波数を選択し、前記受信電波の強度が弱いと判定されたときは、低いクロック周波数を選択することを特徴とする信号受信処理装置。

【請求項3】 受信電波の強度を検出してそのレベルを判定する判定部と、

前記受信電波から得られたデータを処理する演算処理部と、

この演算処理部に対し2種以上の出力電圧のうちいずれかを選択して駆動用電力を供給する電源部と、

前記演算処理部に対し2種以上の周波数の動作クロックのうち何れかを選択して供給するクロック発生部と、

前記受信電波から得られた信号を、前記演算処理部が処理する前に一時蓄積する記憶部とを備え、

前記電源部は、

前記判定部により、前記受信電波の強度が強いと判定されたときは、高い出力電圧を選択し、前記受信電波の強度が弱いと判定されたときは、低い出力電圧を選択するとともに、

前記クロック発生部は、

前記受信電波の強度が強いと判定されたときは、高いクロック周波数を選択し、前記受信電波の強度が弱いと判定されたときは、低いクロック周波数を選択することを特徴とする信号受信処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、無線を利用した呼出や

2

警報等を行なうための信号受信処理装置に関する。

【0002】

【従来の技術】 従来より、離れた場所にいるものに対する呼出や情報の伝達のための方法は、通信回線を利用した有線によるものの他、電波を利用した無線によるものがある。簡単な受信器を携帯し、電波によって呼出や簡単なメッセージの伝達等を行なうものも広く採用されている。また、ディジタル方式の信号処理によって情報伝達を行なうような装置も利用されている。

10 【0003】 図2に、このような従来の信号受信処理装置のブロック図を示す。図の装置は、呼出や警報等の情報を載せた電波1をアンテナ2によって受信し、一定の処理を実行するものである。この装置には、高周波増幅回路3、局部発振回路4、周波数変換回路5、検波回路6、PLL回路7、フレーム同期回路8、シリアルパラレル変換回路9等が設けられ、受信電波から一定のデータを取り出す構成となっている。また、このデータを処理するために演算処理部10が設けられ、この演算処理部10は、電源部11及びクロック発生部12によって駆動されている。演算処理部10の処理結果は、ブザー13やLCD14に出力される構成となっている。

20 【0004】 この装置により受信される電波は、中波に一定のフレーム形式のディジタルデータを載せて送られる。高周波増幅回路3は、アンテナ2で受信した微弱な電波を増幅し、周波数変換回路5に出力する。局部発振回路4は周波数変換回路5に対し、例えば455KHzの局部発振周波数の信号を出力し、周波数変換回路5は、これによって入力信号を中間周波に変換する。これは、良く知られたスーパーヘテロダイン方式の中波受信器の動作である。周波数変換回路5の出力は検波回路6

30 に入力して復調される。
【0005】 こうして、検波回路6からは一定のシリアルなディジタルパルス信号が得られるが、伝搬中に歪を生じた波形を整形するために、PLL回路7にこの信号が入力される。PLL回路は、いわゆるフェーズロックドループで入力信号を一定の周期を持つ一定のレベルのディジタル信号に整形する。フレーム同期回路8には、このPLL回路7の出力が入力する。このフレーム同期回路8によって入力信号のフレームの中から同期パルス40 を抽出し、フレーム中の信号処理のタイミングを得る。シリアルパラレル変換回路9は、このフレーム同期回路8の出力を受け入れて一定のビット幅でパラレルデータに変換し、演算処理部10に送り込む。

【0006】 図3に受信電波からのデータ抽出処理説明図を示す。この図には、上記PLL回路7からフレーム同期回路8を経て、シリアルパラレル変換回路9によって入力信号をパラレルデータに変換する部分の動作を示した。即ち、PLL回路7の出力信号17は一定の長さのフレーム形式となっており、その先頭部分に同期信号17-1が含まれている。フレーム同期回路8は、この

3

同期信号17-1から同期パルス21-1を抽出し、入力信号17の読取りタイミングを確定する。この同期確定信号21は演算処理部10に向け出力される。シリアルパラレル変換回路9は、こうして入力するシリアル信号を、例えば4ビットあるいは8ビットずつ切り出してパラレルデータ22に変換し、演算処理部10に送り込む。

【0007】演算処理部10は、こうして得られたデータを解読して分析し、例えばその内容をLCD(液晶表示装置)14に表示したり、必要に応じてブザー13を鳴らす。なお、電源部11は電池11-1を備えており、スイッチ11-2をオンすることによって演算処理部10に駆動用電力を供給する回路である。また、クロック発生部12は、クロック発振器12-1を備えており、演算処理部10の演算動作のためのクロックを供給する回路である。

【0008】

【発明が解決しようとする課題】ところで、上記のような従来の信号受信処理装置では、演算処理部10から発生する高周波ノイズ16がアンテナ2によって受信され、本来受信しようとする電波1を妨害するといった問題があった。そこで、従来、クロック発生部12の発生するクロック周波数を、例えば数十KHz程度まで低くすることによって高調波成分を減少させ、妨害の抑制を図っている。また、電源部11の出力電圧は3V以下に設定し、クロックの信号レベルも低下させて高周波ノイズのエネルギーを減少させるようにしている。

【0009】しかしながら、このような解決を図る場合、例えば高速転送速度で情報量を多くしようとすると、演算処理部10における処理が間に合わなくなる。即ち、クロック発生部12におけるクロックの周波数を高くして信号処理速度をアップしなければ入力した情報の処理が間に合わない。従って、受信電波の強度が十分強い場合以外は高周波ノイズの影響を無視できず、情報量を増やすことができないといった問題があった。

【0010】本発明は以上の点に着目してなされたもので、演算処理部の発生する高周波ノイズの影響を十分に考慮して、効率的に入力信号処理を実行する信号受信処理装置を提供することを目的とするものである。

【0011】

【課題を解決するための手段】本発明の第1発明は、受信電波の強度を検出してそのレベルを判定する判定部と、前記受信電波から得られたデータを処理する演算処理部と、この演算処理部に対し2種以上の出力電圧のうちいずれかを選択して駆動用電力を供給する電源部と、前記受信電波から得られた信号を、前記演算処理部が処理する前に一時蓄積する記憶部とを備え、前記電源部は、前記判定部により、前記受信電波の強度が強いと判定されたときは、高い出力電圧を選択し、前記受信電波の強度が弱いと判定されたときは、低い出力電圧を選択

4

することを特徴とする信号受信処理装置に関する。

【0012】第2発明は、受信電波の強度を検出してそのレベルを判定する判定部と、前記受信電波から得られたデータを処理する演算処理部と、この演算処理部に対し2種以上の周波数の動作クロックのうち何れかを選択して供給するクロック発生部と、前記受信電波から得られた信号を、前記演算処理部が処理する前に一時蓄積する記憶部とを備え、前記クロック発生部は、前記判定部により、前記受信電波の強度が強いと判定されたときは、高いクロック周波数を選択し、前記受信電波の強度が弱いと判定されたときは、低いクロック周波数を選択することを特徴とする信号受信処理装置に関する。

【0013】第3発明は、受信電波の強度を検出してそのレベルを判定する判定部と、前記受信電波から得られたデータを処理する演算処理部と、この演算処理部に対し2種以上の出力電圧のうちいずれかを選択して駆動用電力を供給する電源部と、前記演算処理部に対し2種以上の周波数の動作クロックのうち何れかを選択して供給するクロック発生部と、前記受信電波から得られた信号を、前記演算処理部が処理する前に一時蓄積する記憶部とを備え、前記電源部は、前記判定部により、前記受信電波の強度が強いと判定されたときは、高い出力電圧を選択し、前記受信電波の強度が弱いと判定されたときは、低い出力電圧を選択するとともに、前記クロック発生部は、前記受信電波の強度が強いと判定されたときは、高いクロック周波数を選択し、前記受信電波の強度が弱いと判定されたときは、低いクロック周波数を選択することを特徴とする信号受信処理装置に関する。

【0014】

【作用】この装置では、受信電波の強度が強い場合、クロック発生部はクロック周波数を高くし、電源部は出力電圧を高める。信号強度が強い場合、高周波ノイズの影響を受け難いので、これによって高い処理速度で演算処理を実行させる。逆に受信電波の強度が弱い場合、クロック周波数を低下させて電源の出力電圧も低くし、高周波ノイズのレベルを抑える。入力信号が高速転送モードの場合、これを一旦記憶部に蓄積し、演算処理部の処理速度低下を補償する。

【0015】

【実施例】以下、本発明を図の実施例を用いて詳細に説明する。図1は、本発明の信号受信処理装置実施例を示すブロック図である。図2を用いて説明した従来の装置と同様に、アンテナ2、高周波増幅回路3、局部発振回路4、周波数変換回路5、検波回路6、PLL回路7、フレーム同期回路8、シリアルパラレル変換回路9を備えている。また、これらの回路により得られたデータを処理するために演算処理部30が設けられ、その処理結果はブザー13やLCD14に出力される構成となっている。ここまでの構成は、従来の装置と変わるところはない。ここで、本発明の装置には、シリ

アルパラレル変換回路9の出力するデータ22を一時格納するためにFIFO（先入れ先出しメモリ）31が設けられている。本発明では、このFIFO31を記憶部と呼んでいる。また、このFIFO31に格納されたデータを管理するためにアップダウンカウンタ32が設けられている。

【0016】一方、高周波増幅回路3の出力は、周波数変換回路5に向けて出力される他、受信電波の強度を検出してそのレベルを判定するための、判定部33に inputs するよう構成されている。また、この判定部33の出力する判定結果41は、クロック発生部35及び電源部36に inputs するよう構成されている。クロック発生部35には、クロック発振器35-1と周波数選択回路35-2が設けられている。周波数選択回路35-2は、演算処理部30に供給するクロックの周波数を、例えばこの実施例では2段階に切り換え、高い周波数と低い周波数のクロックのいずれか一方を選択して出力できる構成となっている。この周波数の選択用回路は、例えば周波数変換回路35-2に設けられた分周回路の出力を選択するスイッチ等により構成される。これにより、例えばこのクロック発生部35は、従来と同様の数十KHzの低い周波数のクロックと、その2倍あるいは数倍のクロックのいずれかを選択して出力できる構成となっている。

【0017】一方、電源部36には電池36-1と動作電圧選択回路36-2が設けられている。この動作電圧選択回路36-2は、電池36-1の出力をスイッチにより切り換え、例えば3Vと4.5Vの2種類の出力電圧のうち、いずれか一方を選択して出力できる構成とされている。なお、フレーム同期回路8からは、従来装置と同様フレーム同期確定信号21が出力されるが、この信号は判定部33にも inputs し、判定部33は、このフレーム同期確定信号21の inputs するタイミングで判定結果41を出力する構成とされている。判定部33は、具体的には高周波増幅回路3の出力する信号を一定の基準値と比較する比較回路と、その比較結果をフレーム同期確定信号21の制御によってクロック発生部35や電源部36に出力するゲート回路等から構成される。

【0018】FIFO31は、シリアルパラレル変換回路9から出力されるデータを、そのライト信号43-1の inputs するタイミングで受け入れ、順番に蓄積するメモリから構成される。こうして蓄積されたデータは、演算処理部30から出力されるリード信号45によって演算処理部30へに向けて読み出される。このFIFO31の記憶容量は、入力信号の情報量が演算処理部30の単位時間当りの情報処理量を超えた場合に、その過剰な分を蓄積できる適当な量に設定する。アップダウンカウンタ32は、シリアルパラレル変換回路9から出力されるカウントアップ信号43-2を受け入れ、FIFO31にデータが1個格納される度にそのカウンタ値を1ずつアップし、演算処理部30がFIFO31からデータを1

個読み出すごとにダウン信号46の inputs によって、そのカウンタ値を1ずつダウンさせるよう構成されたカウンタである。アップダウンカウンタ32の出力するカウンタ値44は演算処理部30に向け出力され、演算処理部30は、このカウンタ値44によってFIFO31の中に格納された残りのデータの量を認識できる構成となっている。

【0019】なお、クロック発生部35と電源部36には、いずれも周波数選択回路35-2や動作電圧選択回路36-2の動作を初期値に戻すため、クリア信号42が inputs するよう構成されている。演算処理部30は、このクリア信号42を所定のタイミングでクロック発生部35や電源部36に向け出力し、初期状態を設定するよう構成されている。

【0020】以下、本発明の装置の動作を説明する。まず、電源部36の図示しないスイッチを接続すると、回路に予め設定された初期状態の出力電圧で電力が供給される。この電圧は、例えば低い方のレベルに設定されているものとする。また、クロック発生部35は、初期状態として低い方のクロック周波数でクロックを発生し、演算処理部30に供給する。ここで、アンテナ2によって電波1を受信すると、高周波増幅回路3がその電波を増幅する。その出力は周波数変換回路5及び判定部33に inputs する。周波数変換回路5は局部発振回路4の出力によって中間周波を生成し、検波回路6は、その信号を復調する。PLL回路7は入力信号の波形を整形し、フレーム同期回路8において同期処理が実行される。これらは、既に図2を用いて説明した従来の装置と同様の動作である。

【0021】ここで、フレーム同期回路8からフレーム同期確定信号21が出力されると、先に説明したように判定部33は、そのタイミングで高周波増幅回路3の出力する信号のレベルを判断した判定結果41をクロック発生部35及び電源部36に出力する。クロック発生部35の周波数選択回路35-2及び電源部36の動作電圧選択回路36-2は、この判定結果41に従って、それぞれクロックの周波数及び出力電圧を選択する。従って、例えば受信電波のレベルが低い場合には、演算処理部30を駆動する電圧は低く、またその信号処理のためのクロック周波数は低いままに維持される。一方、受信電波の強度が強い場合、電源部36の出力電圧がアップし、クロック発生部35の発生するクロック周波数が高く設定されて、演算処理部30は高速モードで動作を行なう。

【0022】図4に、本発明の装置の高速モードにおける動作タイムチャートを示す。図の(a)に示すように、受信データが時刻t1に受信され、(b)に示すように、フレーム同期確定信号が時刻t2にフレーム同期回路8から出力されたものとする。この場合、クロック発生部35及び電源部36が、図4の(c)、(d)に

示すようにクロック周波数及び動作電圧を選択する。この例では、クロック周波数が高速に選択され、動作電圧が高電圧に選択される。

【0023】この状態で、シリアルパラレル変換回路9は、FIFO31に向けてパラレル変換したデータの書き込みを行なう（同図（e））。演算処理部30には、フレーム同期回路8からフレーム同期確定信号21が入力しており（同図（f））、演算処理部30は、そのタイミングでFIFO31からデータの読出しを開始する。受信データのフレームは、図4（a）に示すように時刻t1～時刻t4の間受信されるが、演算処理部30は時刻t2から高速モードにおいてデータを処理し、時刻t5に、その処理結果に基づいてブザー13を駆動したり、LCD14に処理結果の表示を行なう（同図（h））。演算処理部30は処理が終了すると、時刻t6にクリア信号42を出力し、クロック発生部35及び電源部36のクロック周波数や動作電圧の切換えを指示する（同図（g））。

【0024】このように、初期値を低い出力電圧で低いクロック周波数に設定するのは、受信電波の強度を判定する場合に、その演算処理部30の発生する高周波ノイズを十分に低くし、誤った判定を行なわないようにするためである。例えば、上記演算処理部30には、通常8ビットあるいは4ビットのマイクロコンピュータが使用される。その動作クロックは、1MHz～5MHz程度の範囲であるが、この種の信号受信処理装置においては、高周波ノイズを十分に低く抑えるために、クロック周波数を数十KHzに選定していた。なお、この場合、電源電圧は1.5V～3V程度に設定されていた。

【0025】このような状態では、データの転送速度が最大でも512bps程度に制限される。しかしながら、例えばデータ転送速度が4800bps程度の場合、クロック周波数を数MHz程度に選定しなければ処理が間に合わない。また、この種のデータは、スクランブル処理、即ち、データビットのハイあるいはローの状態が続くとPLLが動作しないため、ハイとローが均等に散らばるようにデータをコード化するための処理が行なわれる。従って、このようなデータの読取後、エラー訂正処理等を実行し、その後に実際のデータ処理が実行されるため処理量が多く、動作クロックが遅い場合、応答自体も著しく遅くなってしまふ。従って、上記のような高速モードでの動作を可能にすることによって、このような問題を解決できる。

【0026】一方、受信電波の強度が弱い場合には、本発明の装置は次のように動作する。図5に、本発明の装置の低速モードにおける動作タイムチャートを示す。図5（a）に示すように、時刻t1～時刻t3の間、データの受信が行なわれ、時刻t2にフレーム同期確定信号が出力されるものとする（同図（b））。この場合に、受信電波の強度が弱ければ、判定部33の判定結果41

に従って、クロック発生部35は低い周波数のクロックを選択し、電源部36は低い電圧を選択して演算処理部30に供給する（同図（c）、（d））。これによって、演算処理部30の発生する高周波ノイズは、十分低いレベルに設定され、受信電波に対する妨害を抑制される。

【0027】一方、演算処理部30はクロック周波数の低下によってその処理速度が低下する。従って、シリアルパラレル変換回路9から出力されるデータをそのまま受け入れては処理が間に合わないケースが発生する。そこで、FIFO31にシリアルパラレル変換回路9から入力するデータが一旦蓄積され、演算処理部30は設定された処理速度に従って、そのデータをFIFO31から呼び出して処理する。その関係は図5（e）と（f）に示すようになる。即ち、FIFO31には受信されたデータが時刻t3までに格納されるが、演算処理部30は、その後時刻t4までの間にデータを読出し演算処理を実行する。アップダウンカウンタ32は、この間FIFO31に格納されたデータの量をカウントし（同図（g））、演算処理部30は読み出すべきデータの量を管理する。その結果、演算処理部30の処理結果は、時刻t5にブザー13やLCD14に出力される（同図（i））。

【0028】図4及び図5を比較してわかるように、クロック周波数を低く切り換えることによって演算処理速度は低下し、装置の応答速度が遅くなるが、受信データがFIFO31に一時的に記憶されるために、演算処理部30は確実に動作し、必要な処理結果を出力する。従って、電界が弱い場所において、ノイズによって信号の受信誤りを生じたり、あるいは信号の転送速度が早いために処理が間に合わなくなって誤動作するといった障害も防止できる。

【0029】本発明は以上の実施例に限定されない。上記実施例においては、受信電波のレベルが高い場合と低い場合とで、クロック発生部35の出力するクロックの周波数と電源部36の出力電圧を同時に高くしたり、低くしたりするように切換えを行なった。しかしながら、例えば電源部36の出力する電源電圧を一定にし、クロック発生部35の出力するクロックの周波数のみを換えるようにしても差し支えない。その切換え段数は2段階でなく、3段階以上自由に切り換えられるようにしてもよい。従って、演算処理部30の出力する高周波ノイズの影響が大きい範囲で、クロック発生部35の出力するクロック周波数や電源部36の出力電圧を、それぞれ個々に独立に何段階かに切り換えて、最適な状態で演算処理部30を駆動するように構成してもよい。また、受信回路の構成は、電波により送られる信号の性質によって自由に変更して差し支えなく、記憶部やクロック発生部、電源部等の制御方法は、その回路構成によって自由に変更することができる。また、演算処理部の処理結

果はブザーやLCD等に表示する場合の他、その結果に基づいて直接何らかの装置の動作を制御するようなものについても本発明が適用できる。

【0030】

【発明の効果】以上説明した本発明の信号受信処理装置は、受信電波の強度を検出して判定部によりそのレベルを判定し、受信電波の強度が強い場合には、電源部の出力電圧が高く選択され、またクロック発生部のクロック周波数が高く選択され、受信電波の強度が弱い場合には、電源部の出力電圧が低く選定され、クロック発生部の出力するクロック周波数が低く選択されるので、常に演算処理部の発生する高周波ノイズを受信動作に影響しないレベルに抑え、確実な信号処理を行なうことができる。従って、受信電波の強度が高い場合、高速で信号処理を行なうことができ、大量の情報を速やかに処理することができる。また、受信電波の強度が弱い場合、自動的に高周波ノイズを低く抑え、処理速度の低下は記憶部にデータを一時蓄積することによって補うため、動作が確実となる。

【0031】更に、通常の状態では、クロック周波数と動作電圧を低くしておくため消費電力が軽減され、電池等を用いて駆動する場合には、その動作可能時間を長くすることができる。また、クロック周波数のみを調整し

た場合には、演算処理部の動作上あるいは高周波ノイズ軽減効果から見て、その調整範囲に限界があるが、クロック周波数と電源電圧を同時に変化させることによって、広い範囲で動作モードを選択できる効果もある。また、動作電圧のみを変化させる簡単な制御によっても、一定の範囲で高周波ノイズを調整し、最適な状態での受信動作を確保できる。

【図面の簡単な説明】

【図1】本発明の信号受信処理装置実施例を示すブロック図である。

【図2】従来の信号受信処理装置ブロック図である。

【図3】受信電波からのデータ抽出処理説明図である。

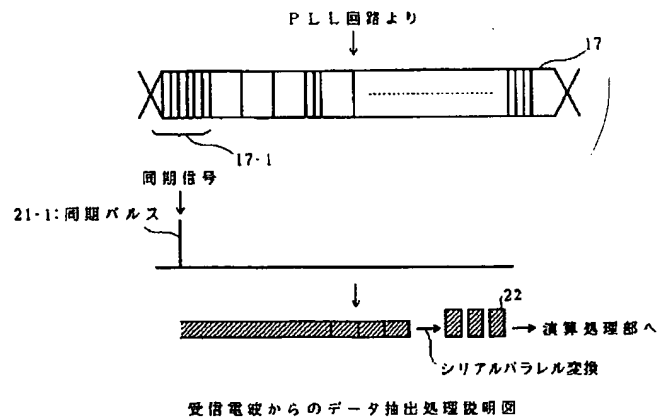
【図4】本発明の装置の高速モードにおける動作タイムチャートである。

【図5】本発明の装置の低速モードにおける動作タイムチャートである。

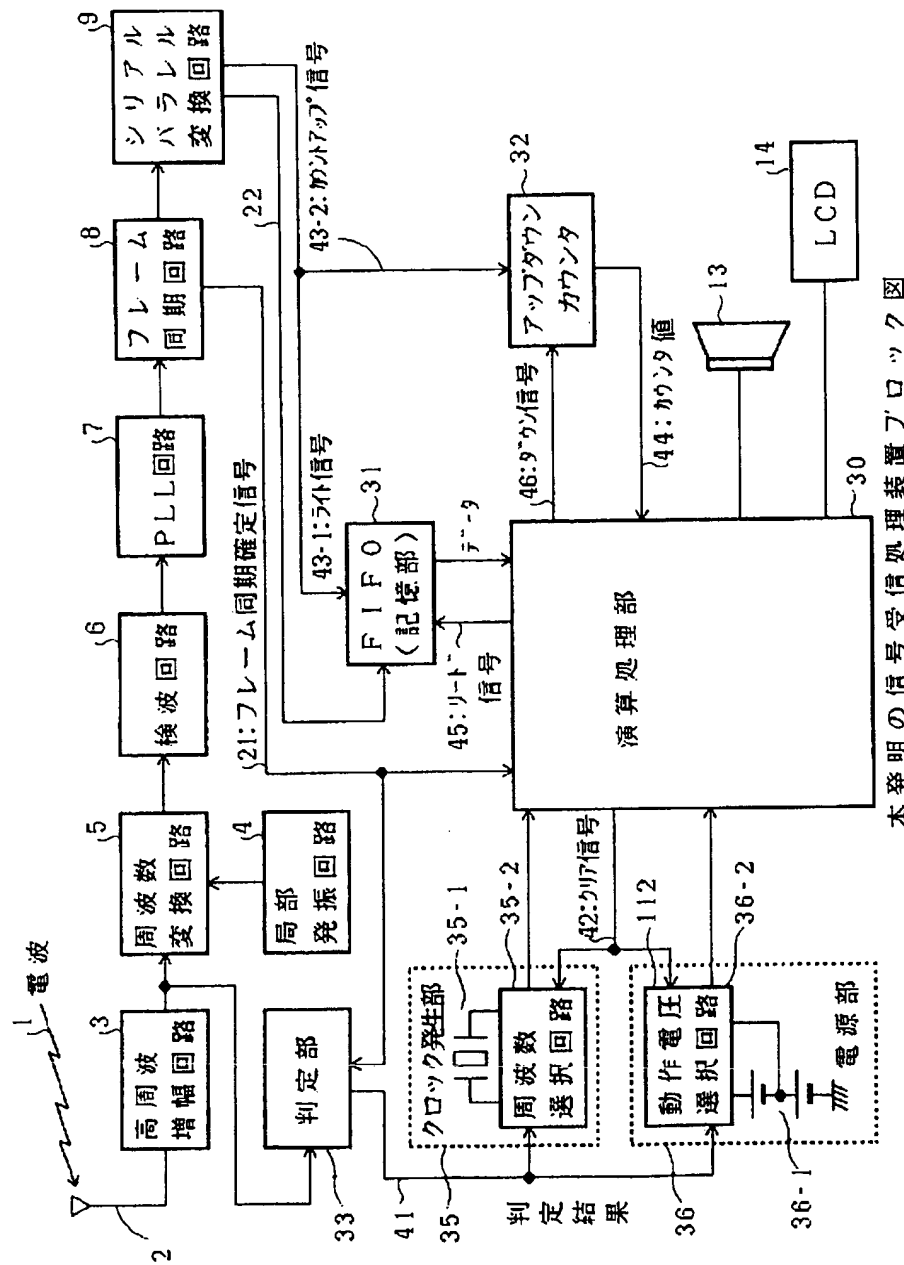
【符号の説明】

- 30 演算処理部
- 31 FIFO（記憶部）
- 33 判定部
- 35 クロック発生部
- 36 電源部

【図3】

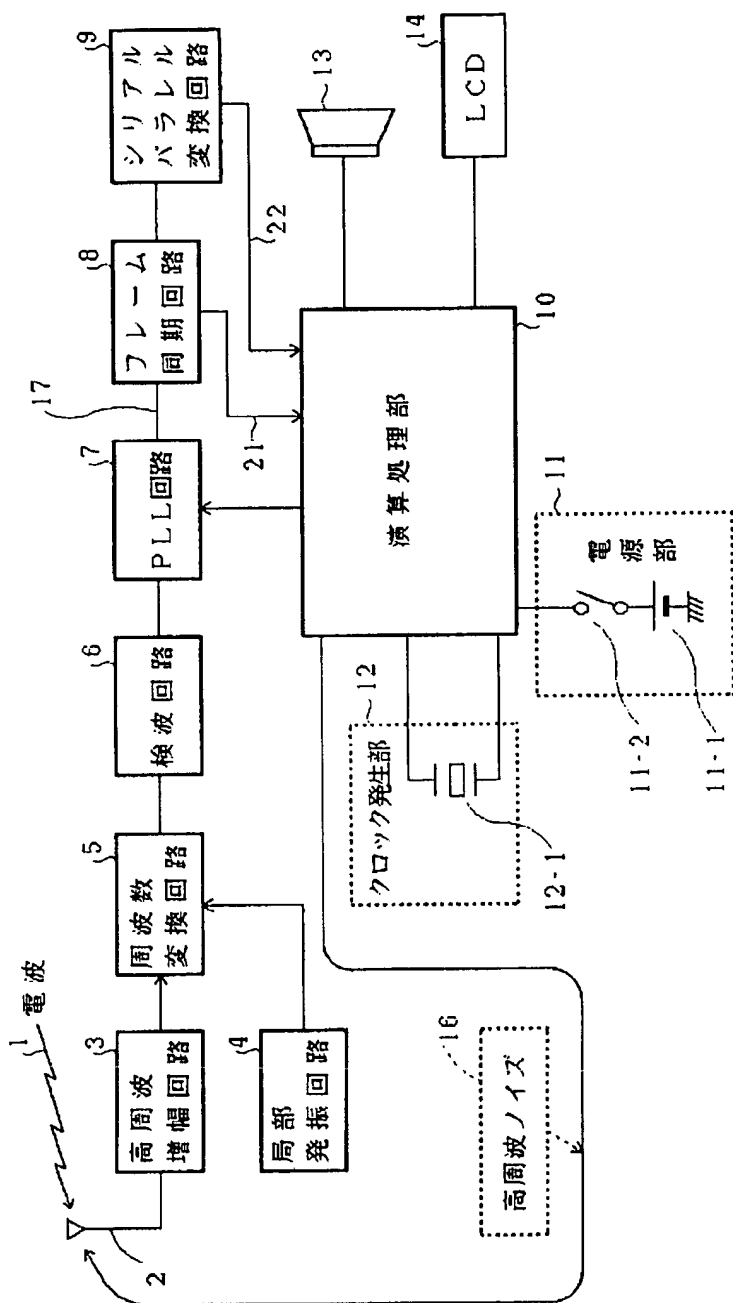


【図1】



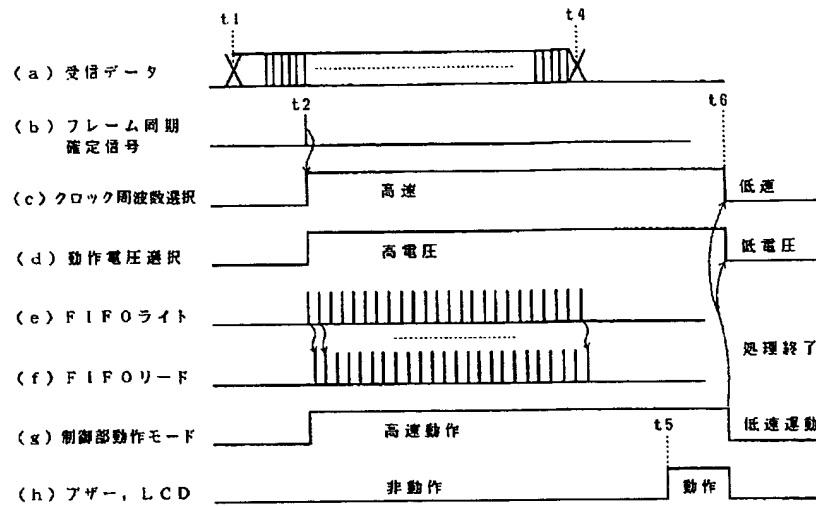
本発明の信号受信装置ブロック図

【図2】



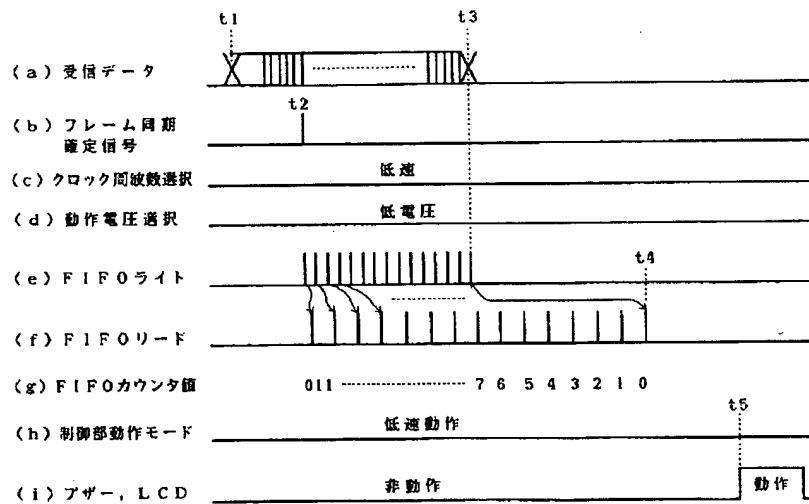
従来の信号受信装置ブロック図

【図4】



本発明の装置の高速モードにおける動作タイムチャート

【図5】



本発明の装置の低速モードにおける動作タイムチャート